

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-345900
(43)Date of publication of application : 14. 12. 1999

(51)Int. Cl. H01L 23/12
H01L 21/60
// H01L 21/60

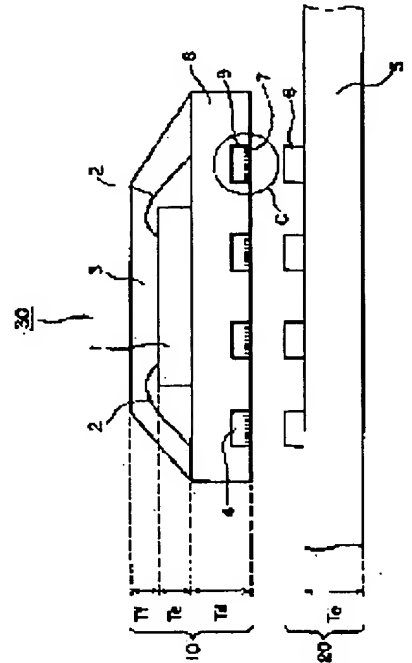
(21)Application number : 10-149511 (71)Applicant : TOSHIBA CORP
(22)Date of filing : 29. 05. 1998 (72)Inventor : YOSHINO DAIKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device of which thickness at mounting can be made thin.

SOLUTION: A semiconductor package 30 has an electrode for mounting, which supports a semiconductor chip 1 from the upper surface and which is provided on the lower surface in a matrix form, has a wiring which bonds the electrode for mounting with an electrode on the semiconductor chip 1 and is provided with a substrate 8, of which upper surface is encapsulated by protecting resin 3. A recess 9 is formed on the lower surface of the substrate 8 in a matrix state, a solder bump 4 is embedded in the recess 9 as an electrode for mounting and a ditch 7, which introduces melting solder paste 6 into the recess 9 before melting of the solder bump 4 for the mounting duration and of which planar view, is in a lattice shape, is formed on the surface of the solder bump 4.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-345900

(43) 公開日 平成11年(1999)12月14日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 23/12

H 0 1 L 23/12

L

21/60

3 1 1

21/60

3 1 1 S

// H 0 1 L 21/60

21/92

6 0 2 G

審査請求 未請求 請求項の数 4 O L (全 5 頁)

(21) 出願番号

特願平10-149511

(22) 出願日

平成10年(1998) 5月29日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 吉 野 大 希

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

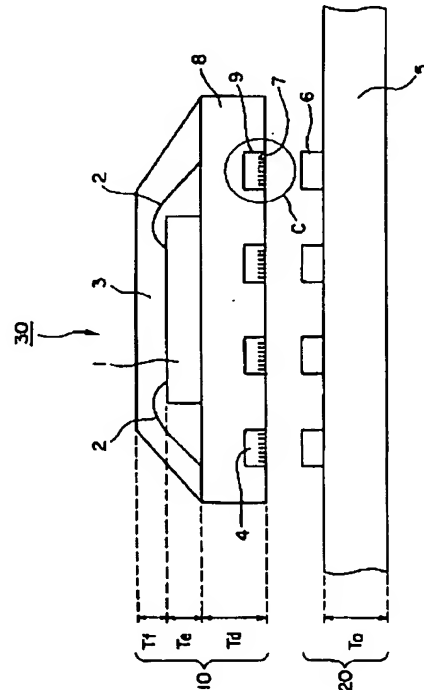
(74) 代理人 弁理士 佐藤 一雄 (外 3 名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 実装時の厚みを極めて薄くすることができる半導体装置を提供する。

【解決手段】 半導体チップ1を上面で支持するとともに、下面にマトリックス状に配設された実装用電極と、この実装用電極と半導体チップ1上の電極とを接続する配線を有し、保護樹脂3により上面が封止された基板8を備えた半導体パッケージ30において、基板8の下面にマトリックス状に凹部9を形成し、この凹部9内に実装用電極としてはんだバンプ4を埋め込み、実装時においてはんだバンプの溶融よりも先に溶融したはんだペーストを凹部9内に導く、平面視において格子形状をなす溝7をはんだバンプ4の表面部に形成する。



【特許請求の範囲】

【請求項1】半導体チップと、

前記半導体チップを上面で支持するとともに、下面にマトリックス状に配設された実装用電極と、前記半導体チップ上の電極と前記実装用電極とを接続する配線を有し、保護樹脂により上面が封止された基板を備え、前記実装用電極は、前記基板の下面に形成された凹部内に埋め込まれたはんだバンプであることを特徴とする半導体装置。

【請求項2】前記基板は、印刷配線板との実装時に、この印刷配線板の配線上に設けられた溶融はんだペーストを前記凹部内に導く手段を備えたことを特徴とする請求項1に記載の半導体装置。

【請求項3】前記手段は、前記はんだバンプの表面に形成された溝であり、前記はんだバンプの溶融前に、溶融したはんだペーストを前記凹部内に導くことを特徴とする請求項2に記載の半導体装置。

【請求項4】前記溝は、平面視において格子形状をなすことを特徴とする請求項3に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関し、特に、半導体チップの面積に近い実装面積を有するチップサイズパッケージ（Chip Size Package）に関する。

【0002】

【従来の技術】高集積度化が進む半導体装置については、電子機器への実装に際して小型化・多ピン化の要求がますます強くなっており、これに 대응するため、2次元にピンを配列した表面実装のパッケージング技術が盛んに開発されている。特に、半導体チップの面積に近いパッケージの裏面にはんだボールをマトリックス状に形成し、これによりプリント基板に直接はんだ付けするBGAパッケージは、低容量・低インダクタンスという電気的特性を有するため、低コスト向きパッケージとして、広く用いられている。

【0003】ここで、従来の技術によるBGAパッケージについて図面を参照しながら説明する。

【0004】図4は、従来の技術によるBGAパッケージの一例を備えた印刷回路板60の略示正面図である。

【0005】同図に示すように、印刷回路板60は、半導体パッケージ50と印刷配線板20とを備えている。半導体パッケージ50は、上面にリード配線（図示せず）が形成されたセラミック等である基板58の上面の略中央に半導体チップ1が搭載され、半導体チップの上面に備えられた外部電極パッドがボンディングワイヤ2によりリード配線と接続されている。基板58と半導体チップは、上面全体が樹脂封止され、外部環境による物理的・化学的影響から保護されている。基板58の下面には、実装用電極であるはんだボール54がマトリックス

スをなすように配設され、基板58の内部に形成された内層配線と基板58上のリード配線とボンディングワイヤを介して半導体チップ1の外部電極パッドと接続されている（図示せず）。

【0006】印刷配線板20は、内部および上面に金属配線が設けられ、多層配線の構造を有している。上面の金属配線の半導体パッケージ50のはんだボール54との接続位置には、はんだペースト6が印刷されている。

【0007】印刷回路板60は、同図に示すように、半導体パッケージのはんだボール54の下に印刷配線板20を配置し、リフローによりはんだボールを再溶融させて半導体パッケージを印刷配線板20に接続させることにより、形成される。

【0008】このように、図4に示す印刷回路板は、チップサイズに近い占有面積を有する半導体パッケージを印刷配線板に直接はんだ付けすることにより形成することができるため、前述したとおり、低容量・低インダクタンスという電気的特性を有する上、低コスト・小型・軽薄の印刷回路板として広く利用されている。

【0009】

【発明が解決しようとする課題】しかしながら、近年、半導体実装について小型化・薄型化の要望がさらに強くなっている。特に、コンピュータ機器の分野においては、モバイルコンピュータの需要が増大するとともに、半導体の実装体積、特に実装時の厚みをより一層縮小したいとの要望がますます強くなってきている。

【0010】図4に示す従来の印刷回路板60については、占有面積はCSPの構造により十分小型化が達成されているが、その厚みについて説明すると、全体の厚み T_{a11} は、 T_a （プリント基板5の厚み）+ T_b （はんだペースト6の厚み）+ T_c （はんだボール54の厚み）+ T_d （パッケージ基板58の厚み）+ T_e （半導体チップ1の厚み）+ T_f （半導体チップ上の樹脂3の厚み）となっている。

【0011】しかし、全体の厚みのうち、多くの部分を占める、半導体チップ1の厚み T_e 、各基板5、58の厚み T_a および T_d については、ほぼ極限近くにまで既に薄型化されている。

【0012】従って、従来の技術による構造では、実装体積をこれ以上小さくことが不可能であり、さらに小さくするためには、印刷回路板の構造自体を変更する必要がある。

【0013】本発明は、上記事情に鑑みてなされたものであり、その目的は、実装時の厚みを極めて薄くすることができる半導体装置を提供することにある。

【0014】

【課題を解決するための手段】本発明は以下の手段により上記課題の解決を図る。即ち、本発明（請求項1）によれば、半導体チップと、この半導体チップを上面で支持するとともに、下面にマトリックス状に配設された実

装用電極と、この実装用電極と上記半導体チップ上の電極とを接続する配線を有し、保護樹脂により上面が封止された基板を備え、上記実装用電極は、上記基板の下面に形成された凹部内に埋め込まれたはんだバンプでなることを特徴とする半導体装置が提供される。

【0015】上記基板は、印刷配線板との実装時に、この印刷配線板の配線上に設けられた溶融はんだペーストを上記凹部内に導く手段を備えることが好ましい。

【0016】上記手段は、上記はんだバンプの表面に形成された溝でなると良い。この溝は、上記はんだバンプの溶融前に、溶融したはんだペーストを毛細管現象により上記凹部内に導く。上記溝は、平面視において格子形状をなすとさらに良い。

【0017】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しながら説明する。なお、以下の各図において、図4と同一の部分には同一の参照番号を付してその説明を適宜省略する。本発明は、図1に示す半導体パッケージ10の基板8に形成された電極パッドの構成にその特徴がある。

【0018】図1は、本発明にかかる半導体装置の実施の一形態を含む印刷回路板を示す略断面図である。

【0019】同図に示す印刷回路板30は、図4と同一の印刷配線板20と半導体パッケージ10とを備えている。

【0020】半導体パッケージ10は、図4に示す半導体パッケージ50と同様に、上面の略中央に半導体チップ1を搭載し、ボンディングワイヤ2を介して上面の周辺部に形成されたリード配線（図示せず）が半導体チップ1の上面に形成された外部電極パッド（図示せず）に接続されたセラミック等である基板8を備えている。

【0021】基板8の下面には、所定の間隔でマトリックスをなすように凹部9が設けられている。この凹部9の内部には、はんだ4が埋め込まれており、基板8の内部に形成されたスルーホール（図示せず）を介して上面のリード配線に接続されている。

【0022】この凹部9内に形成されたはんだ4の表面部、即ち、基板8の底面付近には、深くかつ幅が狭い複数の溝7が形成されている。この溝7の形状について図2および図3を参照しながら説明する。

【0023】図2は、図1に示す半導体装置の円Cで囲む領域の部分拡大図である。図2に示すように、溝7は、凹部9内に形成されたはんだ4の表面部において本実施形態では図1の断面方向に沿って7本形成されている。溝7は、幅w、深さdを有するように形成され、そのアスペクト比（深さd/幅w）は大きく、例えば、1以上の大きさとなっている。

【0024】図3は、図1に示す半導体パッケージ30の底面図である。図3に示すように、溝7は、凹部9内に埋め込むように形成されたはんだ4の表面部に所定の

間隔をもって相互に直交するようにX方向に7本、Y方向に7本形成され、平面視において格子形状をなすように形成されている。この溝7は、例えば、溶融したはんだ4を凹部9内に埋め込む時に、この凹部9の配置に対応して配設された、網目形状をなす融点の高い金属突出部を備えた金型をプレスすることにより形成する。

【0025】このように基板8の底面の凹部9内に形成されたはんだ4と格子形状の溝7が有する作用について図1を再び参照しながら説明する。

【0026】印刷回路板20の上に、はんだペースト6がはんだ4に対応するように位置決めして半導体パッケージ10を搭載し、印刷回路板20の側から加熱することにより、凹部9内のはんだ4が再溶融する前に印刷回路板20のはんだペースト6が先に溶融してはんだ4の表面部に形成された溝7に進入する。溝7は、大きなアスペクト比、例えば1以上で形成されているため、毛細管現象が発生し、溶融したはんだペースト6が溝7の奥深く進入していく。はんだペースト6の大部分が溝7の中にとけ込んだ時点ではんだ4が再溶融を始め、はんだペースト6が形成されていた領域のプリント基板5上の図示しない配線に接合する。加熱の工程が終了すると、はんだ4がプリント基板5上の配線に間隙を残すことなく接合するので、半導体パッケージ10がプリント基板5に密接に固着されるとともに、半導体チップ1の外部電極パッドがボンディングワイヤ2、基板8のスルーホールおよびはんだ4を介してプリント基板5の配線と接続される。さらに、はんだペースト6が凹部9内に溶融してはんだ4とともに固化しているので、半導体パッケージ10はさらに強固にプリント基板5に固着する。

【0027】この結果、形成された配線回路板30全体の厚み T_{all} は、 T_a （プリント基板5の厚み）+ T_d （パッケージ基板8の厚み）+ T_e （半導体チップ1の厚み）+ T_f （半導体チップ1上の樹脂3の厚み）となり、従来の技術と比較して T_b （はんだペースト6の厚み）+ T_c （はんだボール54の厚み）の分だけ薄くすることが可能になる。

【0028】このように、本実施形態にかかる半導体パッケージ10は、底面に形成した凹部9内にはんだ4を埋め込み、印刷配線板20のはんだペースト6をこの凹部9内に溶融時に導くので、プリント基板5との間で間隙を残すことなく密接に接合する。これにより、全体の厚みが薄い印刷回路板30を提供することができる。

【0029】また、凹部9内のはんだ4の表面部にアスペクト比が大きい溝7を平面視において格子形状をなすように形成しているので、印刷配線板20のはんだペースト6をその溶融時に毛細管現象により凹部9の奥深くまで進入させることができる。これにより、はんだ接合の強度をさらに強化させるので、半導体パッケージ10をプリント基板5に安定的に固着させることができる。

【0030】以上、本発明の実施の一形態について説明

したが、本発明は、上記実施の形態に限るものではなく、その要旨を逸脱しない範囲で種々変形して適用することができる。上述の実施形態では、平面視において格子形状の溝7を形成した場合について説明したが、この形状に限ることなく、大きなアスペクト比を有するものであれば、他の形状でも、毛細管現象によりはんだペースト6を凹部9内に導くことができる。

【0031】

【発明の効果】以上詳述したとおり、本発明は以下の効果を奏する。即ち、本発明にかかる半導体装置によれば、基板の下面に形成された凹部内に埋め込まれたはんだバンプでなる実装用電極を備えているので、実装時にはんだペーストのみの間隙で印刷配線板と接合する半導体パッケージが提供される。これにより、従来基板下面に配置されたはんだボール分の厚みが解消するので、実装時の厚みを極めて薄くすることができる。

【0032】また、印刷配線板の配線上に設けられた溶融はんだペーストを上記凹部内に導く手段を上記基板が備えている場合は、実装時に間隙を残すことなく印刷回路板と接合する半導体パッケージが提供される。これにより、実装時の厚みをさらに薄くすることができる。

【0033】また、上記手段が上記はんだの表面に形成された溝でなる場合は、上記はんだの溶融前に印刷回路板の溶融はんだペーストが毛細管現象により、上記凹部内に進入するので、上記効果に加え、接合強度の強い半導体パッケージが提供される。

【0034】さらに、上記溝が平面視において格子形状をなす場合は、溶融はんだペーストを確実に上記凹部内に導くので、実装時の厚みを極限まで薄くできる上、さ

らに接合強度の強い半導体パッケージが提供される。

【図面の簡単な説明】

【図1】本発明にかかる半導体装置の実施の一形態を含む印刷回路板を示す略示断面図である。

【図2】図1に示す半導体装置の円Cで囲む領域の部分拡大図である。

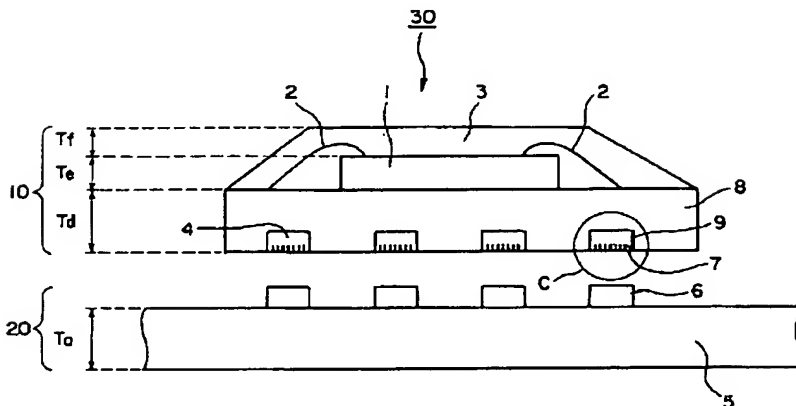
【図3】図1に示す半導体装置の底面図である。

【図4】従来の技術によるBGAパッケージの一例を備えた印刷回路板の略示正面図である。

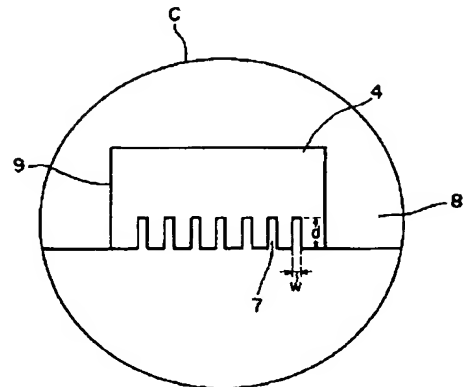
【符号の説明】

- 1 半導体チップ
- 2 ボンディングワイヤ
- 3 樹脂
- 4 はんだ
- 5 プリント基板
- 6 はんだペースト
- 7 溝
- 8、58 基板
- 9 凹部
- 10 半導体装置
- 11 電極パッド
- 12 リード配線
- 13 ボンディングワイヤ
- 14 封止樹脂
- 15 内層配線
- 20 印刷配線板
- 30、60 印刷回路板
- 54 はんだボール

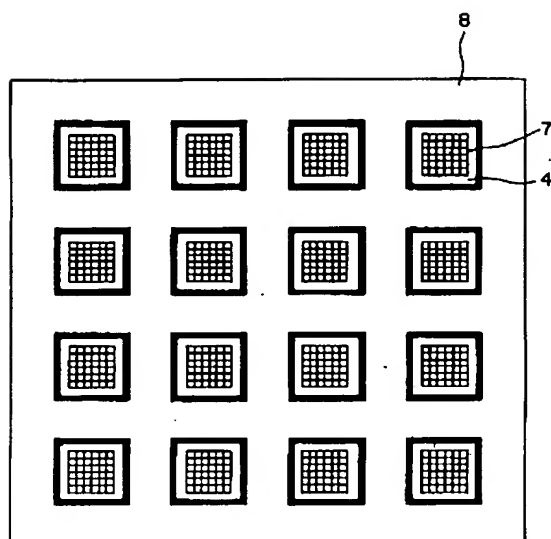
【図1】



【図2】



【図3】



【図4】

